

⑫ 公開特許公報(A) 平3-76318

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月2日

H 03 M 3/04

6832-5J

審査請求 未請求 請求項の数 5 (全12頁)

⑮ 発明の名称 デジタル/アナログ変換器またはアナログ/デジタル変換器におけるデルタシグマ変調回路

⑯ 特 願 平1-211366

⑰ 出 願 平1(1989)8月18日

⑱ 発 明 者 磯 佳 実 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑲ 発 明 者 吉 田 光 恵 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑳ 発 明 者 安 部 田 章 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代 理 人 弁理士 並木 昭夫
最終頁に続く

明 細 書

1. 発明の名称

デジタル/アナログ変換器またはアナログ/デジタル変換器におけるデルタシグマ変調回路

2. 特許請求の範囲

1. 入力信号であるデジタル信号を補間すると共に、フィルタリングして出力するインタポレーションデジタルフィルタ回路と、該デジタルフィルタ回路の出力信号を、その量子化ノイズのノイズ分布を変化させて出力するデルタシグマ変調回路と、該デルタシグマ変調回路の出力信号をアナログ信号に変換して出力する局部デジタル/アナログ変換器と、から成るデジタル/アナログ変換器において、

前記デルタシグマ変調回路は、縦続接続された3個以上の積分回路と、前記デジタルフィルタ回路の出力信号から遅延器の出力信号を減算し、得られた減算信号を、縦続接続された前記積分回路のうちの1段目の積分回路に入力する減算器と、縦続接続された前記積分回路のう

ちの3段目以上の各積分回路の出力信号にそれぞれ乗算値を乗算し、得られた乗算信号を出力する可変乗算器と、少なくとも、該乗算信号と縦続接続された前記積分回路のうちの2段目の積分回路の出力信号とを加算し、得られた加算信号を出力する加算器と、該加算信号を量子化し、前記デルタシグマ変調回路の出力信号として出力する量子化器と、該量子化器の出力信号を遅延して出力する前記遅延器と、で少なくとも構成され、

前記デジタルフィルタ回路の入力信号、出力信号及び前記局部デジタル/アナログ変換器の出力信号のうち、いずれかの信号のレベルを検出し、その検出結果を出力するレベル検出器の出力信号に応じて、前記可変乗算器の乗算値が変化することを特徴とするデジタル/アナログ変換器におけるデルタシグマ変調回路。

2. 請求項1に記載のデルタシグマ変調回路において、或る一定時間を計測するタイマー装置を設けると共に、前記レベル検出器は、前記

デジタルフィルタ回路の入力信号、出力信号及び前記局部デジタル／アナログ変換器の出力信号のうち、いずれかの信号の、前記タイマー装置の計測した或る一定時間内における最大レベルを検出し、その検出結果を出力することを特徴とするデジタル／アナログ変換器におけるデルタシグマ変調回路。

3. 入力信号であるアナログ信号をデジタル信号に変換すると共に、該デジタル信号を、その量子化ノイズのノイズ分布を変化させて出力するデルタシグマ変調回路と、該デルタシグマ変調回路の出力信号を間引きすると共に、フィルタリングして出力するデシメーションデジタルフィルタ回路と、から成るアナログ／デジタル変換器において、

前記デルタシグマ変調回路は、縦続接続された3個以上の積分回路と、入力された前記アナログ信号から内部デジタル／アナログ変換器の出力信号を減算し、得られた減算信号を、縦続接続された前記積分回路のうちの1段目の積

分回路に入力する減算器と、縦続接続された前記積分回路のうちの3段目以上の各積分回路の出力信号にそれぞれ乗算値を乗算し、得られた乗算信号を出力する可変乗算器と、少なくとも、該乗算信号と縦続接続された前記積分回路のうちの2段目の積分回路の出力信号とを加算し、得られた加算信号を出力する加算器と、該加算信号を量子化し、前記デルタシグマ変調回路の出力信号として出力する量子化器と、該量子化器の出力信号を遅延して出力する遅延器と、該遅延器の出力信号をアナログ信号に変換して出力する前記内部デジタル／アナログ変換器と、で少なくとも構成され、

前記デルタシグマ変調回路の入力信号及び前記デジタルフィルタ回路の出力信号のうち、いずれかの信号のレベルを検出し、その検出結果を出力するレベル検出器の出力信号に応じて、前記可変乗算器の乗算値が変化することを特徴とするアナログ／デジタル変換器におけるデルタシグマ変調回路。

4. 請求項3に記載のデルタシグマ変調回路において、或る一定時間を計測するタイマー装置を設けると共に、前記レベル検出器は、前記デルタシグマ変調回路の入力信号及び前記デジタルフィルタ回路の出力信号のうち、いずれかの信号の、前記タイマー装置の計測した或る一定時間内における最大レベルを検出し、その検出結果を出力することを特徴とするアナログ／デジタル変換器におけるデルタシグマ変調回路。

5. 請求項1、2、3または4に記載のデルタシグマ変調回路において、前記可変乗算器の入力信号のレベルをリミット値内に制限する可変リミット回路を設け、該可変リミット回路のリミット値を前記レベル検出器の出力信号に応じて変化させたことを特徴とするデルタシグマ変調回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、デジタルオーディオ、通信等の用

途に使用されるオーバーサンプリング方式のデジタル／アナログ変換器(以下、D/A変換器と言う)、アナログ／デジタル変換器(以下、A/D変換器と言う)におけるデルタシグマ変調回路に関するものである。

(従来の技術)

一般に、オーバーサンプリング方式のD/A変換器は、インタポレーションデジタルフィルタ回路とノイズシェーバと局部D/A変換器とで構成され、また、オーバーサンプリング方式のA/D変換器は、ノイズシェーバとデシメーションデジタルフィルタ回路とで構成される。

このうち、代表して、オーバーサンプリング方式のD/A変換器の動作について簡単に説明すると、まず、インタポレーションデジタルフィルタ回路において、入力されたデジタル信号を補間してサンプリング周波数を上げた(すなわち、オーバーサンプリングした)後、フィルタリングする。次に、ノイズシェーバにおいて、フィルタリングされたデジタル信号の量子化ノイズのノイズ分布

を変化させる。次に、局部D/A変換器において、ノイズ分布の変化したデジタル信号をアナログ信号に変換する。

ここで、ノイズシェーバとしては、種々の回路が用いられるが、その中の一つにデルタシグマ変調回路がある。デルタシグマ変調回路は、主として、単数または複数の積分回路と量子化器と遅延器とから成るフィードバックループにて構成される。

一般に、ノイズシェーバとしてデルタシグマ変調回路を用いた、D/A変換器、A/D変換器において、そのダイナミックレンジを大きくする方法としては、次の3つの方法が知られている。

一つ目は、オーバーサンプリングの次数を高くする（即ち、ナイキスト周波数に対して、サンプリング周波数を高くする）ことであり、二つ目は、デルタシグマ変調回路を構成するフィードバックループ内の積分回路の次数を高くする（即ち、積分回路の個数を多くする）ことであり、三つ目は、デルタシグマ変調回路を構成する量子化器のビット

数を多くすることである。

一つ目の、オーバーサンプリングの次数を高くする方法をとった場合、それに応じて各回路の動作速度を上げる必要があるが、しかし、動作速度を上げると言っても、各回路の回路素子にはそれぞれ動作速度の限界が存在する。そのため、オーバーサンプリングの次数はそれほど高くすることはできない。

また、二つ目の、デルタシグマ変調回路を構成するフィードバックループ内の積分回路の次数を高くする方法をとった場合、フィードバックループ内の積分回路の次数が2次まで（即ち、積分回路の個数が2個まで）は安定に動作するが、積分回路の次数が3次以上（即ち、積分回路の個数が3個以上）になると発振してしまうと言う問題があった。

そこで、従来では、この二つ目の方法とった場合の問題点を解決するために、例えば、特開昭63-209334号公報に記載のように、ループ内の積分回路の次数が安定な1次または2次のフ

ィードバックループを継続に接続して、等価的に、積分回路の次数が3次以上で安定に動作するデルタシグマ変調回路を実現していた。

また、三つ目の、デルタシグマ変調回路を構成する量子化器のビット数を多くする方法をとった既提案例としては、例えば、特開昭62-269423号公報が挙げられる。

（発明が解決しようとする課題）

上記した様に、前者の既提案例においては、等価的に、積分回路の次数を3次以上にすることにより、また、後者の既提案例においては、量子化器のビット数を多くすることにより、それぞれ、ダイナミックレンジを高くすることができる。

しかし、これらの二つの既提案例においては、デルタシグマ変調回路から出力されるデジタル信号の量子化値（即ち、ビット数）が1ビットより多くなってしまうため、例えば、デルタシグマ変調回路を用いたD/A変換器の場合、デルタシグマ変調回路の後段に接続される局部D/A変換器のビット数も1ビットより多くしなければならな

い。

だが、例えば、16ビット精度のダイナミックレンジを得る場合、局部D/A変換器のビット数（分解能）が仮に3ビットであったとしても、その積分誤差（非線形誤差）としては16ビット精度が要求される。しかし、実際、CMOSプロセスの1チップLSI化を考慮すると、その様な局部D/A変換器を作製することは非常に困難である。

そこで、後者の既提案例においては、局部A/D変換器として、PWM変換器とローパスフィルタにより構成される多値D/A変換器を用いているが、高いクロック周波数を必要としたり、或いは、“H I”、“L O”の出力インピーダンスの差とローパスフィルタの定数により高次高調波を発生し易いなどの問題があった。

そこで、本発明の目的は、上記した従来技術の問題点を解決し、積分回路の次数が3次以上であって、出力されるデジタル信号の量子化値（即ち、ビット数）が1ビットより多くなることなく、

安定に動作することができるデルタシグマ変調回路を提供することにある。

(課題を解決するための手段)

上記した目的を達成するために、本発明では、オーバーサンプリング方式のD/A変換器に用いる場合、デルタシグマ変調回路を、縦続接続された3個以上の積分回路と、前記デルタシグマ変調回路の入力信号から遅延器の出力信号を減算し、得られた減算信号を、縦続接続された前記積分回路のうちの1段目の積分回路に入力する減算器と、縦続接続された前記積分回路のうちの3段目以上の各積分回路の出力信号にそれぞれ乗算値を乗算し、得られた乗算信号を出力する可変乗算器と、少なくとも、該乗算信号と縦続接続された前記積分回路のうちの2段目の積分回路の出力信号とを加算し、得られた加算信号を出力する加算器と、該加算信号を量子化し、前記デルタシグマ変調回路の出力信号として出力する量子化器と、該量子化器の出力信号を遅延して出力する前記遅延器と、で少なくとも構成すると共に、インタポレーシ

比較的大きいレベルであると検出した時には、発振し易いので、前記可変乗算器の乗算値を小さくするよう変化させる。この結果、前記デルタシグマ変調回路は、積分回路の次数が2次の場合の特性に近づき、発振しないようになり、動作が安定になる。

また、反対に、前記レベル検出器が前記信号のレベルが比較的小さいレベルであると検出した時には、発振し難いので、前記可変乗算器の乗算値を大きくなるよう変化させる。この結果、前記デルタシグマ変調回路は、積分回路の次数が3次以上の場合の特性に近づき、ダイナミックレンジが大きくなる。

従って、本発明によれば、安定に動作させながらダイナミックレンジを大きくすることができる。

また、量子化器のビット数は1ビットで済むため、デルタシグマ変調回路から出力されるデジタル信号の量子化値(即ち、ビット数)も1ビットとなり、オーバーサンプリング方式のD/A変換器の場合、デルタシグマ変調回路の後段に接続さ

ンディジタルフィルタ回路の入力信号、出力信号または局部D/A変換器の出力信号のうち、いずれかの信号のレベルを検出し、その検出結果を出力するレベル検出器の出力信号に応じて、前記可変乗算器の乗算値を変化させるようにした。

また、オーバーサンプリング方式のA/D変換器に用いる場合は、前記デルタシグマ変調回路において、前記遅延器から前記減算器に至る信号経路中に、該遅延器の出力信号をアナログ信号に変換する内部ディジタル/アナログ変換器を設けると共に、前記レベル検出器は、デルタシグマ変調回路の入力信号またはデシメーションディジタルフィルタ回路の出力信号のうち、いずれかの信号のレベルを検出するようにした。

(作用)

本発明では、積分回路の次数が3次以上の場合は、信号のレベルが大きいほど、発振し易くなり、動作が不安定になるという点に着目したものである。

即ち、前記レベル検出器が前記信号のレベルが

れる局部D/A変換器のビット数も1ビットで良い。従って、例えば、16ビット精度が要求されても、CMOSプロセスの1チップLSI化は十分可能となる。また、オーバーサンプリング方式のA/D変換器の場合は、前記量子化器の出力信号を前記遅延器を介して入力する前記内部D/A変換器の、ビット数が1ビットで良くなる。

(実施例)

以下、本発明の実施例を図面により説明する。

第1図は本発明の第1の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のD/A変換器を示すブロック図である。

第1図において、1は入力端子、2はインタポレーションディジタルフィルタ回路、3はデルタシグマ変調回路、4は局部D/A変換器、5は出力端子、6はレベル検出器である。なお、デルタシグマ変調回路3は、減算器7と、積分回路8、9、10と、可変乗算器11と、加算器12と、量子化器13と、遅延器14と、により構成されている。また、Qは量子化器13の量子化ノイズ

である。

では、第1図に示すD/A変換器の動作を概略的に説明する。

まず、入力端子1より入力されたデジタル信号を、インタポレーションディジタルフィルタ回路2において、補間してサンプリング周波数を上げた(すなわち、オーバーサンプリングした)後、フィルタリングする。次に、デルタシグマ変調回路3において、フィルタリングされたデジタル信号の量子化ノイズのノイズ分布を変化させる。次に、局部D/A変換器4において、ノイズ分布の変化したデジタル信号をアナログ信号に変換する。変換されたアナログ信号は出力端子5より出力される。

なお、デルタシグマ変調回路3内の各回路の動作及びレベル検出器6の動作については、後述する。

次に、第2図は本発明の第2の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のA/D変換器を示すブロック図である。

なお、デルタシグマ変調回路3'内の各回路の動作及びレベル検出器6の動作については、後述する。

さて、第1図及び第2図のデルタシグマ変調回路3、3'内の各回路の動作及びレベル検出器6の動作についての説明を行う前に、基本的なデルタシグマ変調回路について簡単に説明する。

第3図は積分回路の次数が2次の基本的なデルタシグマ変調回路を示すブロック図、第4図は積分回路の次数が3次の基本的なデルタシグマ変調回路を示すブロック図、である。

これら図において、第1図と同一のものについては同一の符号を付した。その他、31、32は減算器である。

第3図に示す積分回路の次数が2次のデルタシグマ変調回路において、入力信号をX、出力信号をY、量子化器13の量子化ノイズをQとして、遅延器14の1サンプル遅延を Z^{-1} とすると、伝達特性はZ関数を用いて

第2図において、第1図と同一のものは同一の符号を付した。その他、3'はデルタシグマ変調回路、15は内部D/A変換器、16はデシメーションディジタルフィルタ回路、である。なお、デルタシグマ変調回路3'は、第1図のデルタシグマ変調回路3とほぼ同様の構成であるが、扱う信号がアナログ信号であるため、量子化器13より出力され遅延器14を介したデジタル信号を、アナログ信号に変換する内部D/A変換器15が挿入されている。

では、第2図に示すA/D変換器の動作を概略的に説明する。

まず、入力端子1より入力されたアナログ信号を、デルタシグマ変調回路3'において、量子化ノイズのノイズ分布を変化させつつ、デジタル信号に変換する。次に、デシメーションディジタルフィルタ回路16において、変換されたデジタル信号を間引きし、フィルタリングする。フィルタリングされたデジタル信号は出力端子5より出力される。

$$Y = X + (1 - Z^{-1})^2 \cdot Q \quad \dots\dots(1)$$

と表わすことができる。

一方、第4図に示す積分の次数が3次のデルタシグマ変調回路は、実際には発振するためこのままでは実用化できないが、理論上の伝達特性は

$$Y = X + (1 - Z^{-1})^3 \cdot Q \quad \dots\dots(2)$$

となる。

ここで $Z^{-1} = e^{-j\omega T}$ なので

$$1 - Z^{-1} = 2 \sin \frac{f}{f_s} \pi \quad \dots\dots(3)$$

である。

今、オリジナルのサンプリング周波数を f_s とすると、通過帯域は $f_s/2$ となる。 M 倍のオーバーサンプリングを行うと、サンプリング周波数は $M \cdot f_s$ で表わされるので

$$1 - Z^{-1} = 2 \sin \frac{f}{M f_s} \pi \quad \dots\dots(4)$$

となる。

従って、積分回路の次数が2次のデルタシグマ変調回路では、量子化雑音Qに $(1 - Z^{-1})^2$ が、

積分回路の次数が3次のデルタシグマ変調回路では $(1-Z^{-1})^3$ が係数としてかかるので、量子化ノイズのスペクトルを図示すると、第5図に示すようになる。

第5図から明らかな様に、もとのホワイトノイズに比較して、低域では抑圧され、高域では拡大される。この様に、量子化ノイズのノイズ分布を変化させる動作をノイズシェーピングと称している。通過帯域 $f_s/2$ では十分にノイズが抑圧されることがわかる。

次に、 $f_s/2$ 帯域内のダイナミックレンジ (S/N比と等価である) を算出する。

まず、M倍にオーバーサンプリングすることにより量子化ノイズは拡散され、 $f_s/2$ の帯域については雑音電力は $1/M$ になる。そこで、量子化器13のビット数をN、積分回路の次数を1とし、 $f_s/2$ 帯域内のノイズを、低域になるほど少なくなる三角ノイズに近似すると、 $f_s/2$ 帯域内のダイナミックレンジDRは、

$$DR(dB) = 20 \log(2^N - 1) + 1.76 + 10 \log M$$

$$- 20 \log \left\{ 2 \sin \frac{\frac{f_s}{2}}{M f_s} \pi \right\} + 20 \log \sqrt{3} \quad \dots (5)$$

となる。

1項目と2項目は量子化ビット数の項であり、3項目はM倍のオーバーサンプリングによるS/N比の改善項であり、4項目はノイズシェーピングによる $f_s/2$ の周波数における抑圧項であり、5項目は三角ノイズ近似による帯域内ノイズの改善項である。

ここで、横軸にオーバーサンプリングの次数Mを、縦軸にダイナミックレンジDR(dB)をとって、(5)式を図示すると、第6図に示すようになる。

なお、第6図において、量子化器13のビット数Nは1である。

第6図から明らかなように、128倍オーバーサンプリングにおいて、積分回路の次数が2次の時には16ビット精度は得られないが、3次の時には得られることがわかる。即ち、言い換えれば、

量子化器13のビット数が1ビットで、オーバーサンプリングの次数が128倍の時、16ビット精度のダイナミックレンジを得るためには、積分回路の次数が3次以上でなければならないことがわかる。

そこで、第1図及び第2図のデルタシグマ変調回路3、3'内の各回路の動作について、第1図のデルタシグマ変調回路3で代表して説明する。

第7図は第1図のデルタシグマ変調回路を示すブロック図である。

第7図において、17はデルタシグマ変調回路の入力端子、18は同じく出力端子であり、入力信号、出力信号をそれぞれX、Yとする。8、9、10は1次の積分回路である。11は可変乗算器であり、その乗算値 (即ち、乗算利得) をAとし、今、Aは $0 \leq A \leq 1$ とする。12は加算器である。13は量子化器であり、そのビット数は1ビットであり、その量子化ノイズをQとする。14は遅延器であり、1サンプル、即ち、 $1/M \cdot f_s$ の時間だけ信号を遅延させる。7は減算器である。

第7図のデルタシグマ変調回路の入出力信号の関係は、

$$\begin{aligned} (X - Y \cdot Z^{-1}) &= \frac{1}{1 - Z^{-1}} \\ &+ (X - Y \cdot Z^{-1}) \cdot \frac{1}{(1 - Z^{-1})^2} \\ &+ (X - Y \cdot Z^{-1}) \cdot \frac{A}{(1 - Z^{-1})^3} + Q = Y \quad \dots (6) \end{aligned}$$

となる。(6)式を整理すると、

$$Y = X + Q \frac{(1 - Z^{-1})^2}{1 - Z^{-1}(1 - A)} \quad \dots (7)$$

となる。但し、一部

$$Z^{-1} = e^{-j\omega T} = \exp \left(-j\omega \frac{f_s}{M f_s} \right) \approx 1$$

の近似を行なった。

(7)式において、 $A = 0$ のとき

$$Y = X + Q (1 - Z^{-1})^2 \quad \dots (8)$$

と積分回路の次数が2次の場合の特性になり、 $A = 1$ のときは

$$Y = X + Q (1 - Z^{-1})^3 \quad \dots (9)$$

と積分回路の次数が3次の場合の特性になることがわかる。

従って、 $0 < A < 1$ のときは、積分回路の次数が2次と3次の中間の値の特性になることがわかる。

第8図に、(7)式に基づいて入力レベルに対するダイナミックレンジを計算した結果を示す。なお、第8図において、オーバーサンプリングの次数Mは128であり、また、Aは $1/256$ 、 $1/16$ 、 $1/8$ の3種である。

第8図からわかるように、 $A = 1/16$ 、 $1/8$ の場合は、入力レベルが -2 dB 、 -4 dB の時にそれぞれ発振する。また、入力レベルが -40 dB 付近ではAが大きくなるほど、ダイナミックレンジは大きくなる。

このため、例えば、入力レベルが0から -4 dB までは $A = \frac{1}{256}$ 、 -4 dB から -8 dB までは $A = \frac{1}{16}$ 、 -8 dB 以下は $A = \frac{1}{8}$ とすれば、入力レベルが大きい時には積分回路の次

数が2次に近づき動作は安定となり、入力レベルが -10 dB 以下の時にはダイナミックレンジ大きくすることができる。

そこで、このA、即ち、可変乗算器11の乗算値を変化させるために、第1図においては、レベル検出器3を設けている。つまり、このレベル検出器3によって、デルタシグマ変調回路3の入力信号のレベル（即ち、入力レベル）を検出し、その検出結果によって、可変乗算器11の乗算値Aを切り換えている。ここで、レベル検出器3は、入力信号のレベルと予め設定した基準レベルとを逐次比較することによって、入力信号のレベルを検出している。

一方、第2図のデルタシグマ変調回路3'においては、前述したように、扱う信号がアナログ信号であるため、内部D/A変換器15によって、遅延器4より出力されたデジタル信号をアナログ信号に変換しているが、その点さえ除けば、第2図のデルタシグマ変調回路3'の動作は第1図のデルタシグマ変調回路3の動作と同様である。

また、第2図においても、可変乗算器11の乗算値Aを変化させるために、レベル検出器3を設けているが、このレベル検出器3は、デシメーションディジタルフィルタ回路16の出力信号のレベルを検出して、その検出結果によって、可変乗算器11の乗算値Aを切り換えている。

第9図は本発明の第3の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のD/A変換器を示すブロック図、第10図は本発明の第4の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のA/D変換器を示すブロック図である。

これら図において、第1図、第2図と同一のものは同一の符号を付した。その他、19はリミット回路、20、20'はデルタシグマ変調回路である。

第9図、第10図のデルタシグマ変調回路20、20'においては、積分回路10と可変乗算器11との間にリミット回路19を設け、積分回路10の出力信号をリミット値内に制限することによ

り、発振し難くなり、安定化が図れる。このリミット回路19のリミット値をレベル検出器6の検出結果によって切り換えることより、よりきめ細かな制御が行われる。

第11図は本発明の第5の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のD/A変換器を示すブロック図、第12図は本発明の第6の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のA/D変換器を示すブロック図である。

これら図において、第1図、第2図と同一のものは同一の符号を付した。その他、21はタイマー装置、である。

第11図、第12図においては、レベル検出器6に、或る一定時間を計測するタイマー装置21が接続されている。

レベル検出器6は、第1図においては、デルタシグマ変調回路3の入力信号の、また、第2図においては、デシメーションディジタルフィルタ回路16の出力信号の、それぞれ、各瞬時にける

レベルを逐次検出し、その検出結果によって、可変乗算器11の乗算値Aを切り換えていたが、第11図、第12図においては、タイマー装置21の計測した或る一定時間内の最大レベルを検出し、その検出結果によって、可変乗算器11の乗算値Aを切り換えている。従って、可変乗算器11の乗算値Aは準瞬時的に切り換わることになる。

第13図は本発明の第7の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のD/A変換器を示すブロック図である。

第13図において、第1図と同一のものについては同一の符号を付した。

第13図においては、レベル検出器6は、インタポレーションディジタルフィルタ回路2の入力信号のレベルを検出し、その検出結果によって、可変乗算器11の乗算値Aを切り換えている。

この様にしても、第1図と同様の効果が得られる。

第14図は本発明の第8の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方

式のA/D変換器を示すブロック図である。

第14図において、第2図と同一のものについては同一の符号を付した。

第14図においては、レベル検出器6は、アナログ信号であるデルタシグマ変調回路3'の入力信号のレベルを検出し、その検出結果によって、可変乗算器11の乗算値Aを切り換えている。

この様にしても、第2図と同様の効果が得られる。

第15図は本発明の第9の実施例としてのデルタシグマ変調回路を示すブロック図、第16図は本発明の第10の実施例としてのデルタシグマ変調回路を示すブロック図、第17図は本発明の第11の実施例としてのデルタシグマ変調回路を示すブロック図である。

これら図において、第7図と同一のものについては同一の符号を付した。その他、22、23は加算器、24は減算器、である。

第15図、第16図、第17図のデルタシグマ変調回路は、それぞれ、その入出力信号の関係が

この場合の伝達式は

$$Y = X + Q \cdot \frac{(1 - Z^{-1})^4}{1 + (1 - A_1)Z^{-1} - (2 - A_1 - A_2)Z^{-2} + \dots \dots (10)}$$

となる。

(10)式において、 $A_1 = 0$ 、 $A_2 = 0$ のときは積分回路の次数が2次の場合の特性となり、 $A_1 = -1$ 、 $A_2 = 0$ のときは積分回路の次数が3次の場合の特性となり、 $A_1 = -1$ 、 $A_2 = -1$ のときは積分回路の次数が4次の場合の特性となる。

従って、レベル検出器6の検出結果によって、可変乗算器26の乗算値 A_1 、可変乗算器27の乗算値 A_2 をそれぞれ切り換えることより、前述した積分回路の次数が3次のデルタシグマ変調回路と同様の効果を得ることができる。

また、積分回路の次数が4次のデルタシグマ変調回路の場合も、3次のデルタシグマ変調回路の場合と同様に種々の回路に展開できることは言うまでもない。

(発明の効果)

本発明によれば、積分回路の次数が3次以上で

(7)式の近似式と同様になる。従って、第1図、第9図、第11図、第13図に示したオーバーサンプリング方式のD/A変換器におけるデルタシグマ変調回路として用いることができる。

また、内部D/A変換器15を備えれば、第2図、第10図、第12図、第14図に示したオーバーサンプリング方式のA/D変換器におけるデルタシグマ変調回路として用いることもできる。

この様に、積分回路の次数が3次のデルタシグマ変調回路の場合、種々の回路に展開することができる。

第18図は本発明の第12の実施例としてのデルタシグマ変調回路を示すブロック図である。

第18図において、第1図と同一のものについては同一の符号を付した。その他、25は1次の積分回路である。26、27は可変乗算器であり、可変乗算器26の乗算値を A_1 、可変乗算器27の乗算値を A_2 とする。

第18図のデルタシグマ変調回路は、積分回路の次数が4次のデルタシグマ変調回路である。

あっても、信号（即ち、D/A変換器の場合は、インタポレーションディジタルフィルタ回路の入力信号、出力信号または局部D/A変換器の出力信号であり、A/D変換器の場合は、デルタシグマ変調回路の入力信号またはデシメーションディジタルフィルタ回路の出力信号である）のレベルに応じて、大きいレベルの時には積分回路の次数が2次の場合の特性に近づけ、小さいレベルの時には積分回路の次数が3次以上の場合の特性に近づけることより、大きいレベルの時には発振しないようにして、動作の安定化を図ることができ、小さいレベルの時にはダイナミックレンジの拡大を図ることができる。従って、安定に動作させながらダイナミックレンジを大きくすることができる。

また、言い換えれば、同じダイナミックレンジを得る場合は、従来における積分回路の次数が2次のデルタシグマ変調回路に比較して、オーバーサンプリングの次数を下げるができるため、各回路の動作速度を低減することができる。

図、第6図は本発明に係るデルタシグマ変調回路におけるオーバーサンプリングの次数とダイナミックレンジとの関係を示す特性図、第7図は第1図のデルタシグマ変調回路を示すブロック図、第8図は第7図のデルタシグマ変調回路における入力レベルとダイナミックレンジとの関係を示す特性図、第9図は本発明の第3の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のD/A変換器を示すブロック図、第10図は本発明の第4の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のA/D変換器を示すブロック図、第11図は本発明の第5の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のD/A変換器を示すブロック図、第12図は本発明の第6の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のA/D変換器を示すブロック図、第13図は本発明の第7の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のD/A変換器を示すブロック図、第14図は本発

さらにまた、量子化器のビット数は1ビットで済むため、デルタシグマ変調回路から出力されるディジタル信号の量子化値（即ち、ビット数）も1ビットとなり、D/A変換器の場合、デルタシグマ変調回路の後段に接続される局部D/A変換器のビット数も1ビットで良い。従って、例えば、16ビット精度が要求されても、CMOSプロセスの1チップLSI化は十分可能となる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のD/A変換器を示すブロック図、第2図は本発明の第2の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のA/D変換器を示すブロック図、第3図は積分回路の次数が2次の基本的なデルタシグマ変調回路を示すブロック図、第4図は積分回路の次数が3次の基本的なデルタシグマ変調回路を示すブロック図、第5図は本発明に係るデルタシグマ変調回路における周波数と量子化ノイズのレベルとの関係を示す特性

明の第8の実施例としてのデルタシグマ変調回路を用いたオーバーサンプリング方式のA/D変換器を示すブロック図、第15図は本発明の第9の実施例としてのデルタシグマ変調回路を示すブロック図、第16図は本発明の第10の実施例としてのデルタシグマ変調回路を示すブロック図、第17図は本発明の第11の実施例としてのデルタシグマ変調回路を示すブロック図、第18図は本発明の第12の実施例としてのデルタシグマ変調回路を示すブロック図、である。

符号の説明

2…インタポレーションディジタルフィルタ回路、3…デルタシグマ変調回路、4…局部D/A変換器、6…レベル検出器、7…減算器、8、9、10…積分回路、11…可変乗算器、12…加算器、13…量子化器、14…遅延器、15…内部D/A変換器、16…デシメーションディジタルフィルタ回路。

代理人 弁理士 並 木 昭 夫

図 1 図

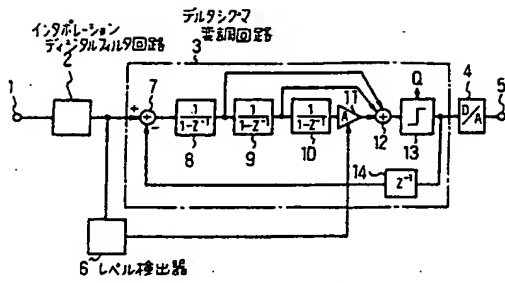


図 2 図

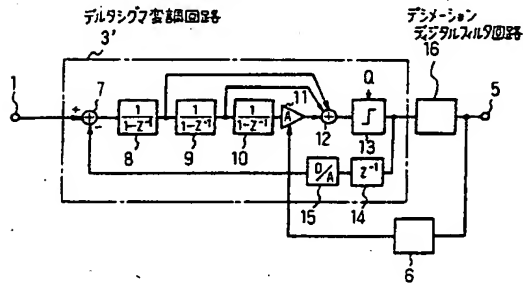


図 5 図

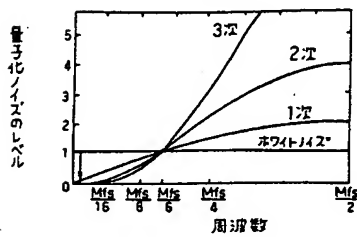


図 6 図

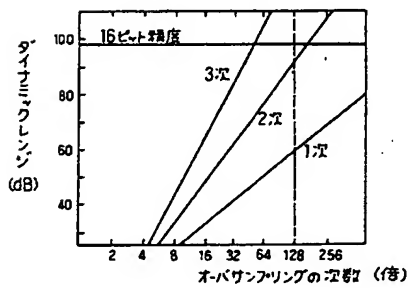


図 3 図

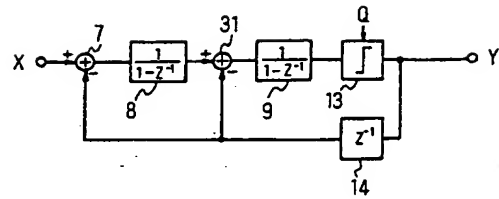


図 4 図

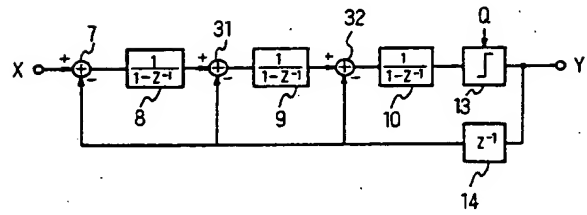


図 7 図

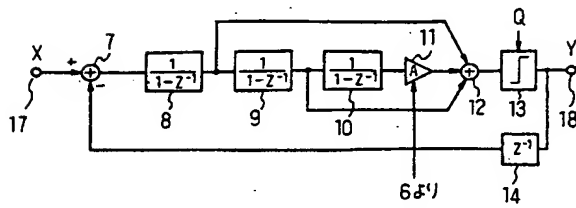


図 8 図

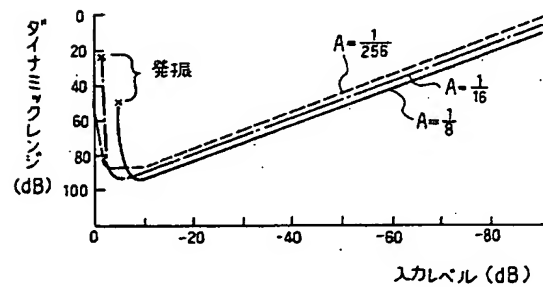


図 9 図

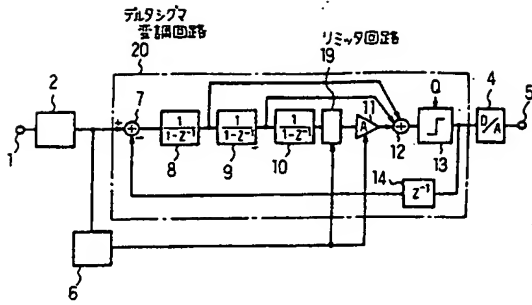


図 10 図

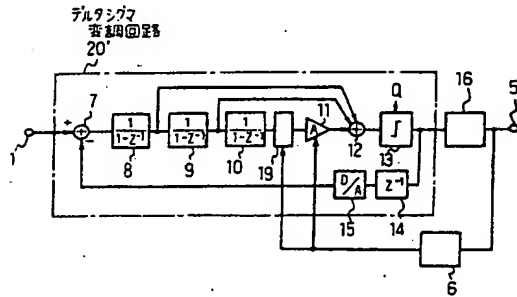


図 13 図

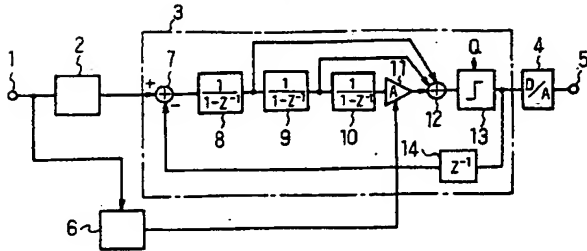


図 14 図

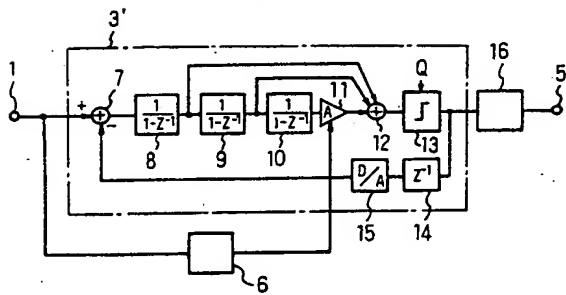


図 11 図

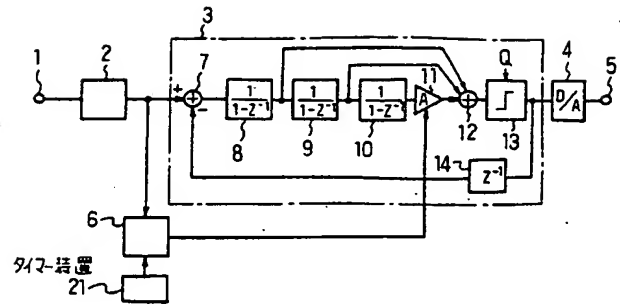


図 12 図

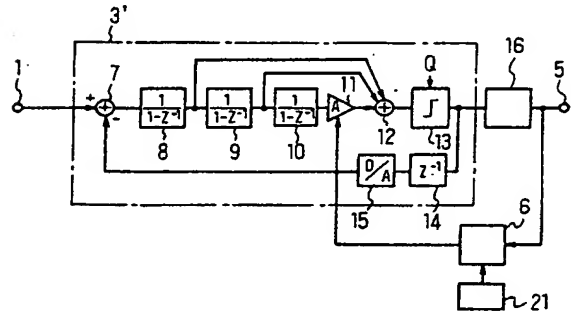


図 15 図

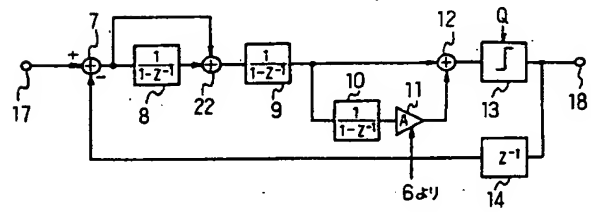


図 16 図

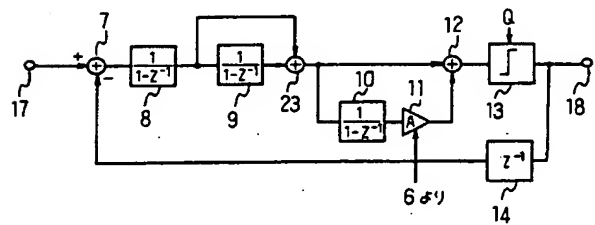


図 17

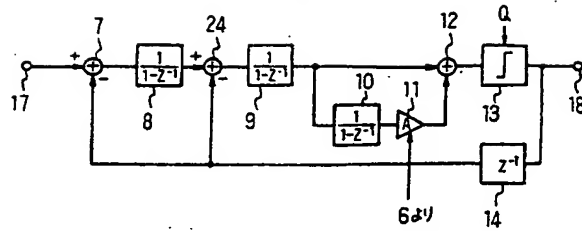
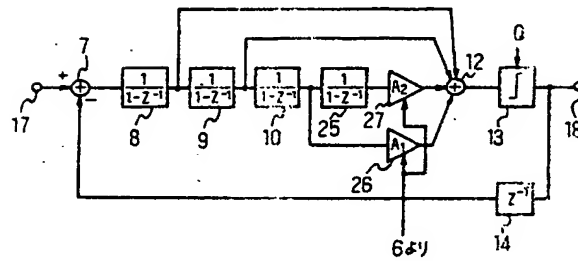


図 18



第 1 頁の続き

発明者	荒井	孝雄	神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内
発明者	家中	正憲	東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
発明者	麻畑生	健二	群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内
発明者	渡辺	一雄	群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.